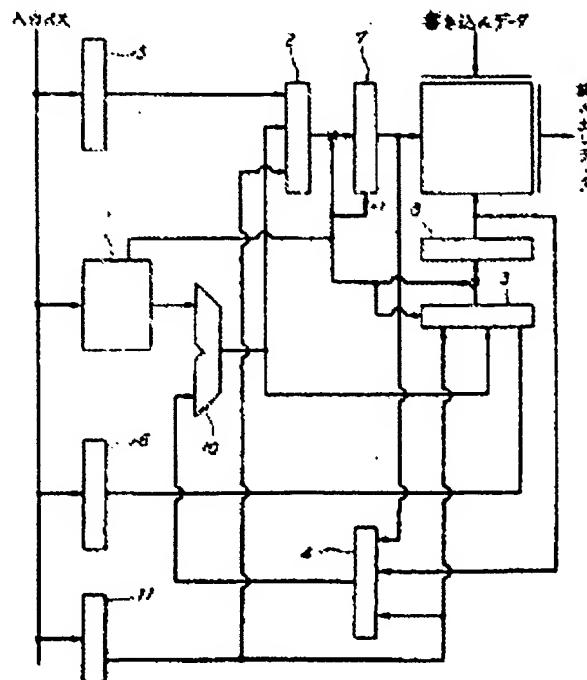


IMAGE MEMORY WRITE CONTROL SYSTEM

Publication number: JP61007769
Publication date: 1986-01-14
Inventor: MUNAKATA AKIO; YAGI TOSHIROU
Applicant: FUJITSU LTD
Classification:
- **international:** H04N1/21; G06F12/00; G06F12/04; G06T1/60; G09G1/02; G09G5/42; H04N1/21; G06F12/00; G06F12/04; G06T1/60; G09G1/02; G09G5/42; (IPC1-7): G06F12/00; G06F15/62; G09G1/02; H04N1/21
- **European:**
Application number: JP19840128627 19840622
Priority number(s): JP19840128627 19840622

Abstract of JP61007769

PURPOSE: To write image data at high speed by controlling a write address depending on a run length value and writing the polarity of the run length value only as for a bit having a different polarity of an image memory initialized in advance. **CONSTITUTION:** A data inputted to a run length converter 1 is converted to a run length value and inputted to an adder 10. In this case, when the polarity of the initialized data of the image memory and that of the data bit are the same, either a Y address value (a value of an address register 7) or an X address value (a value of an address register 8) selected by a multiplexer 4 is added to the run length value and the result is outputted. Thus, the X address is updated by the run length of the image data. On the other hand, when the polarity of the output of the converter 1 is different from that of the initializing data of the image memory, the value of the address register is advanced by the run length value and the data is written in the image memory.



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭61-7769

⑬ Int.Cl. 1 識別記号 厅内整理番号 ⑭ 公開 昭和61年(1986)1月14日
 H 04 N 1/21 8020-5C
 G 06 F 12/00 6974-5B
 15/62 6619-5B
 G 09 G 1/02 7923-5C 審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 イメージメモリ書き込み制御方式

⑯ 特願 昭59-128627
 ⑰ 出願 昭59(1984)6月22日

⑱ 発明者 宗像 昭夫 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 発明者 矢儀 俊郎 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑳ 出願人 富士通株式会社 川崎市中原区上小田中1015番地
 ㉑ 代理人 弁理士 松岡 宏四郎

明細書

1. 発明の名称

イメージメモリ書き込み制御方式

2. 特許請求の範囲

ホスト計算機とイメージデータ記録装置との間に位置してデータの編集やデータの転送を行なうイメージデータ処理装置において、イメージデータをランレンジス値に変換する手段と、データの書き込みに先立ち初期値としてイメージメモリの該当区域の全ビットをすべて"0"またはすべて"1"にする手段と、イメージメモリのアクセスに用いるアドレスレジスタの値に前記ランレンジス値を加算する手段とを設け、イメージメモリへのイメージデータの書き込みに際し、イメージメモリの初期値と同極性のデータについては書き込むことなく該データに係るランレンジス値を加算することによりアドレスレジスタの値を更新し、イメージメモリの初期値と異なる極性のビットのみ書き込むことを特徴とするイメージメモリ書き込み制御方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はホスト計算機とイメージデータ記録装置との間にあつて、イメージデータの圧縮、伸長や編集などを行なうイメージデータ処理装置におけるイメージメモリへのデータの書き込みの制御に係るものである。

〔従来の技術〕

第4図はイメージデータ処理装置の接続関係を表わした図であつて、20はホスト計算機、21はイメージデータ処理装置、22はイメージデータ記録装置を示している。第5図はイメージデータ処理装置の構成例を示すブロック図であつて、23はマイクロプロセッサ、24はインターフェース制御部、25はメモリ、26は文字制御部、27は伸長制御部、28はイメージメモリ制御部、29は圧縮制御部、30はイメージメモリを表わしている。

第4図および第5図に示すイメージデータ

処理装置 21 は、インターフェース制御部 24 を経由してホスト計算機 20 から受け取つた文字データやイメージデータをイメージメモリ 30 上で編集して、これを再びインターフェース制御部 24 を経由してイメージデータ記録装置 22 に送出するなどの処理を行なつてゐる。

〔発明が解決しようとする問題点〕

上述のイメージデータ処理装置において、イメージメモリには記録すべき图形や文字などのパターンと同一のドット情報が書き込まれる。そのとき、イメージメモリ制御部はイメージメモリに 1 ビットづつデータを書き込むのでアクセス回数が多いため処理に長時間を要すると云う問題点があつた。

例えばイメージメモリの大きさは A4 サイズ 1 頁で、約 500 K バイト (1728 ビット × 2286 ビット) になるので、1 ビット当りのアクセス時間を 400 ミリ秒とすると 1 枚の画面データを書き込むのに約 1.6 秒かかることに

なる。

本発明は、かかる従来の問題点に鑑み、イメージデータ処理装置における、イメージメモリへのデータ書き込みが、少ないアクセスで可能であつて迅速な処理が期待出来る制御方式を提供することを目的としている。

〔問題点を解決するための手段〕

そして、この目的は本発明によれば、特許請求の範囲に記載のとおり、ホスト計算機とイメージデータ記録装置との間に位置してデータの編集やデータの転送を行なうイメージデータ処理装置において、イメージデータをランレンジス値に変換する手段と、データの書き込みに先立ち初期値としてイメージメモリの該当区域の全ビットをすべて "0" またはすべて "1" にする手段と、イメージメモリのアクセスに用いるアドレスレジスタの値に前記ランレンジス値を加算する手段とを設け、イメージメモリへのイメージデータの書き込みに際し、イメージメモリの初期値と同様性

のデータについては書き込むことなく該データに係るランレンジス値を加算することによりアドレスレジスタの値を更新し、イメージメモリの初期値と異なる極性のビットのみ書き込むことを特徴とするイメージメモリ書き込み制御方式により達成される。

〔作用〕

本発明のイメージメモリ書き込み制御方式は、上述のようにデータの書き込みに先立つて、予めメモリの該当位置の全ビットを "0" または "1" にして置いて、これと異なる極性のビットの場合のみ書き込む方式としているので、従来の様にすべてのデータビットを書き込む場合に比して、アクセス回数が減少するが、更に、書き込むべきデータが全体的に "0" の割合が多ければ初期値として "0" を、また "1" の割合が多ければ初期値として "1" を用いることによりイメージメモリへの実際のアクセス回数を大幅に減少せしめることが可能である。以下実施例に基づいて詳細に説

明する。

〔実施例〕

第 1 図は本発明の 1 実施例を示すブロック図であつて、1 はランレンジス変換器、2 ～ 4 はマルチプレクサ、5 ～ 8 はアドレスレジスタ、9 はイメージメモリ、10 は加算器、11 はモードレジスタを表わしている。

ランレンジス変換器 1 はイメージデータをランレンジスデータに変換するもので、第 2 図にそのデータ変換の例を示す。第 2 図において、12 はイメージデータ、13 はランレンジス変換器、14 はランレンジスデータを表わしている。すなわち、イメージデータ 12 は先頭 (図の左上) から矢印の方向に 1 バイトづつ処理されてランレンジスデータ 14 に示す様に矢印の方向に白 3、黒 1、白 2 ……として変換される ("0" が白、"1" が黒に対応する)。そして、このランレンジス変換器は例えば第 3 図に示すブロック図の様な構成で実現することが可能である。第 3 図

において、15はデータ変換ROM、16はカウンタ、17は加算器、18、19、19'はレジスタを示しており、データ変換ROM 15に入力された1バイトのイメージデータは先頭ビットから読まれてビットの極性が変化する迄のビットの数がランレンジス値としてバイナリで出力される。1バイトのイメージデータの処理が終了すると*END信号によつてカウンタ 16はリセットされるが、その前に出力されたランレンジス値はレジスタ 19に保持され、またその時の極性(白または黒のいずれか)もレジスタ 18に保持される。そして次の1バイトのイメージデータの処理を開始したときデータの極性がレジスタ 18に保持されているものと同一であればレジスタ 19に保持されている値をデータ変換ROMの出力に加算してランレンジス値としている。

以上ランレンジス変換器について詳述したが再び第1図に基づいて動作を説明する。データの書き込みに先立つてイメージメモリ9

の初期化が行なわれる。すなわち、アドレスレジスタ5(ヤアドレス)、および6(エアアドレス)にスタートアドレスをセットして"0"または"1"を書き込むことにより全ビットを"0"または"1"にする。全ビットを統て"0"にするかまたは"1"にするかは書き込むべきデータの状態により決定するもので、通常、その後で書き込むべきデータが白("0")の部分が多ければ"0"を、また黒("1")の部分が多ければ"1"を指定する。

統いてイメージメモリに書き込むべきデータの初期アドレスをアドレスレジスタ5および6にセットすると、これらはマルチブレクサ2または3を経由してアドレスレジスタ7(ヤアドレス)および8(エアアドレス)にセットされる。

一方、ランレンジス変換器1に入力されたデータはランレンジス値に変換されて加算機10に入力される。このとき、イメージメモリの初期化データとデータビットの極性が同

じであればマルチブレクサ4によつて選択されたヤアドレス値(アドレスレジスタ7の値)またはエアアドレス値(アドレスレジスタ8の値)のいずれかと前記ランレンジス値とが加算されて出力される。マルチブレクサ4がいずれのアドレス値を選択するかはモードレジスタ11の内容で指定される横書き(X方向スキャン)か縦書き(Y方向スキャン)かによつて決まる。

例えば、横書きの場合はSELX信号が"1"となつて、マルチブレクサ4はアドレスレジスタ8の値(エアアドレス)を選択するので、これとランレンジス値が加算されてマルチブレクサ3を経由してアドレスレジスタ8にセットされる。これによりエアアドレスがイメージデータのランレンジス値の分だけ更新される。ランレンジス変換器1の出力の極性がイメージメモリの初期化データと異なる場合には、そのランレンジス値分だけアドレスレジスタの値を歩進してイメージメモリへデータ

を書き込む。

【発明の効果】

以上、詳細に説明したように本発明の方式によれば、イメージデータのランレンジス値によつて、書き込みアドレスを制御することにより予め初期化したイメージメモリの極性と異なるビットについてのみランレンジス値分のデータを書き込めば良く、イメージメモリの初期値と同極性のビットの書き込みは行なわないで済むから、イメージメモリへのイメージデータの書き込みに際するアクセス回数が少なく、高速な処理が期待出来るので効果は大きい。

4. 図面の簡単な説明

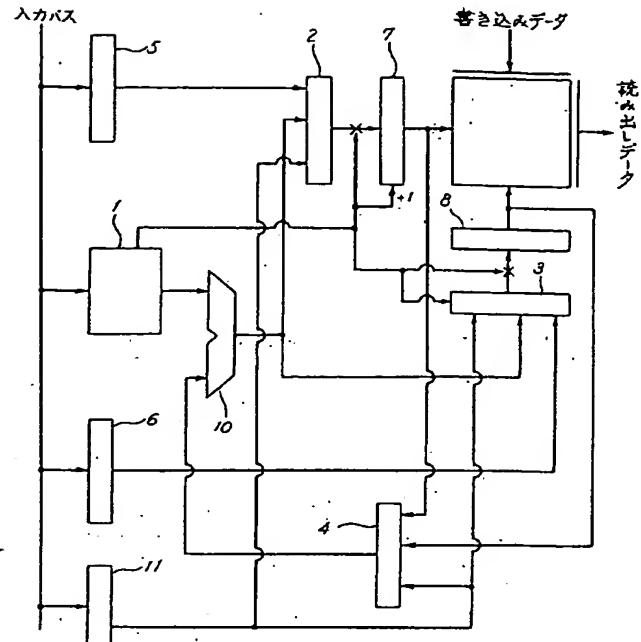
第1図は本発明の1実施例を示すブロック図、第2図はランレンジス変換器のデータ変換の例を示す図、第3図はランレンジス変換器の構成例を示すブロック図、第4図はイメージデータ処理装置の接続関係を表わした図、第5図はイメージデータ処理装置の構成例を示すブロック

第 1 図

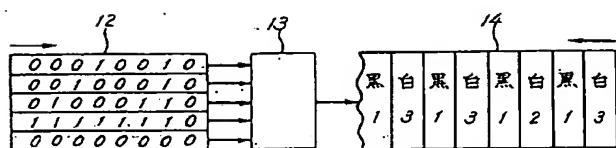
圖である。

1、13 …… ランレンクス交換器、2～4 …… マルチ
ブレクサ、5～8 …… アドレスレジスタ、9 …… イメ
ージメモリ、10、17 …… 加算器、11 …… モードレ
ジスタ、12 …… イメージデータ、14 …… ランレン
クスデータ、15 …… データ交換 ROM、16 …… カ
ウンタ、18、19、19' …… レジスタ、20 …… ホスト
計算機、21 …… イメージデータ処理装置、22 …
… イメージデータ記録装置、23 …… マイクロプロ
セッサ、24 …… インタフェース制御部、25 …… メ
モリ、26 …… 文字制御部、27 …… 伸長制御部、
28 …… イメージメモリ制御部、29 …… 圧縮制御
部、30 …… イメージメモリ

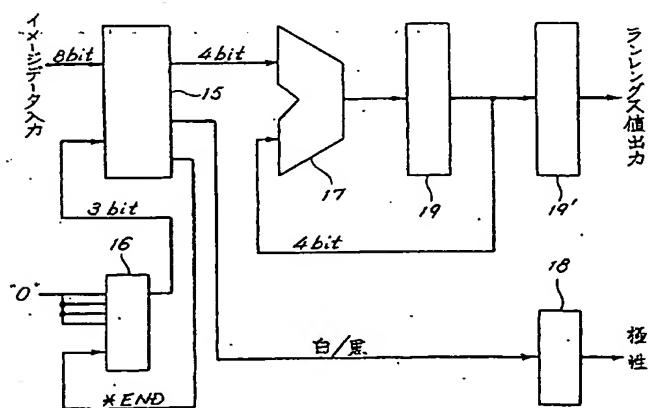
代理人弁理士 松岡 宏四郎



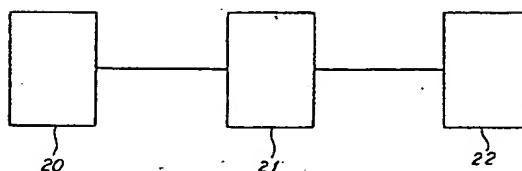
第 2 図.



第 3 図



第 4 図



第 5 図

